

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-155366

(43)Date of publication of application : 03.07.1991

(51)Int.Cl.

H02M 3/00

H02M 1/08

(21)Application number : 01-290386

(71)Applicant : NEMITSUKU RAMUDA KK

(22)Date of filing : 08.11.1989

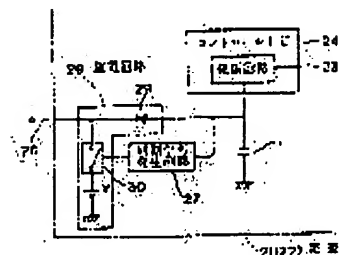
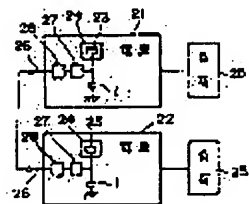
(72)Inventor : SAKURAGAWA YUICHI
FURUTA SHUICHI

(54) SYNCHRONOUS SWITCHING POWER SUPPLY

(57)Abstract:

PURPOSE: To prevent troubles due to beat frequency easily by interconnecting the synchronous terminals of a plurality of switching power supplies incorporating oscillator circuits thereby discharging a capacitor in the oscillator circuit quickly based on a synchronous signal.

CONSTITUTION: Synchronous terminals 26 of a plurality (two in the Figure) of switching power supplies 21, 22 incorporating oscillator circuits 23 are interconnected. When an oscillator capacitor 1 is charged with a predetermined peak value through function of the oscillator circuit 23, a synchronizing signal is provided from a synchronizing signal generating circuit 27 and a switch 30 for a discharge circuit 28 is closed. Consequently, the capacitor 1 is discharged quickly through a counter flow preventing diode D29 and the switch 30, and the voltage across the capacitor 1 drops to a level equal to the sum of a reference voltage V and the voltage drop of D29. Upon elapse of a predetermined short time, the switch 30 is opened to resume charging operation. Consequently, the oscillator capacitors 1 in respective power supplies are discharged simultaneously and quickly thus preventing trouble due to beat frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-155366

⑬ Int. Cl.³

H 02 M 3/00
1/08

識別記号

W
B

庁内整理番号

7829-5H
8325-5H

⑬ 公開 平成3年(1991)7月3日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 同期型スイッチング電源

⑮ 特 願 平1-290386

⑯ 出 願 平1(1989)11月8日

⑰ 発 明 者 桜 川 祐 一 新潟県長岡市摂田屋外川2701番地 ネミック・ラムダ株式
会社長岡工場内
⑰ 発 明 者 古 田 修 一 新潟県長岡市摂田屋外川2701番地 ネミック・ラムダ株式
会社長岡工場内
⑱ 出 願 人 ネミック・ラムダ株式 東京都品川区東五反田1丁目11番15号
会社
⑲ 代 理 人 弁理士 牛 木 護

明 和 語

[従来の技術]

1. 発明の名称

同期型スイッチング電源

2. 特許請求の範囲

発振回路を内蔵するスイッチング電源に複数の電源を接続するための発振周波数同期端子を設け、この同期端子に発振波形の所定電圧を検出して同期信号を出力する同期信号発生回路を接続し、前記同期信号により発振コンデンサの充電電圧を急速に放電させる放電回路を設けてなることを特徴とする同期型スイッチング電源。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は発振周波数同期型スイッチング電源に関する。

従来のこの種のスイッチング電源は直流出力電圧を安定化するための帰還回路にスイッチング素子を制御するコントロールICが用いられ、このコントロールICには発振回路が内蔵され、この発振波形に基づいてスイッチング素子の制御パルスを形成している。

第7図はコントロールICに内蔵された発振回路の一例を示す対称三角波発振器の回路構成図であり、同図において1はコントロールICに外付けされた発振コンデンサ、2は充電用定電流回路、3はスイッチ手段、4は放電用定電流回路、5は発振波形のピーク値電圧及び谷電圧を決定する電圧検出回路である。そして、充電用定電流回路2を介して発振コンデンサ1に定電流が供給されて充電され、発振コンデンサ1の充電電圧が规定的に上昇する。この充電電圧が规定的ピーク値電圧に達すると電圧検出回路5から信号が出力してスイッチ手段3が閉成し、発振コンデン

サ1の充電電荷は放電用定電流回路4を介して放電され、発振コンデンサ1の電圧は直線的に低下する。電圧が規定の谷電圧まで下降すると電圧検出回路5からの信号によりスイッチ手段3が閉成し、発振コンデンサ1の充電が開始される。この動作により第8図に示す対称三角波の発振信号が形成される。

ところで、発振周波数の異なる複数台のスイッチング電源を同一機器内において独立または並列で運転した場合、差周波数のビートを発生し、周辺機器に悪影響を及ぼすことが知られており、前記発振回路では発振コンデンサ1、定電流回路2、4あるいは電圧検出回路5のバラツキによって同一定数で設計された発振回路であっても発振周波数にバラツキを生じ、これによって複数台のスイッチング電源間に差周波数を生じてしまうという問題があった。

この問題を解決するものとして共通発振方式とマスタースレーブ方式とが知られている。

共通発振方式は第9図に示すように複数のスイッチング電源6、7に内蔵された発振回路の動作を停止させ、代りに一台の共通発振器8から同一の発振信号を複数の電源6、7に供給するものであり、電源6、7間の差周波数を防止することができる。マスタースレーブ方式は第10図に示すように発振回路を内蔵したマスター専用電源9のマスター端子10と、発振回路を内蔵しないスレーブ専用電源11のスレーブ端子12とを接続することにより、複数台の電源9、11はマスター専用電源9の発振周波数で同期運転することができる。

[発明が解決しようとする課題]

上記従来技術において、共通発振方式は電源の外部に共通発振器を備える必要があるためコスト高になるうえ、単独運転時にも電源の外部に発振器を必要とし不便である。また、同期運転用と単独運転用の2種の電源を用意しなければならず不便である。また、マスタースレーブ方式はマスター専用とスレーブ専

用の2種の電源を必要とし不便であった。

そこで本発明は同種電源の同期端子同士を接続することにより差周波数の発生を防止できる同期型スイッチング電源を提供することを目的とする。

[課題を解決するための手段]

本発明は発振回路を内蔵するスイッチング電源に複数の電源を接続するための発振周波数同期端子を設け、この同期端子に発振波形の所定電圧を検出して同期信号を出力する同期信号発生回路を接続し、前記同期信号により発振コンデンサの充電電圧を急速に放電させる放電回路を設けてなる同期型スイッチング電源である。

[作用]

本発明は複数台の電源の同期端子同士を接続することにより、各電源の発振コンデンサの充電電圧が同時に急速放電する。

[実施例]

以下、本発明の一実施例を添付図面を参照

して説明する。

第1図はブロック図を示しており、複数台のスイッチング電源21、22はそれぞれ例えば第7図で示した発振回路23を内蔵したコントロールIC24を備えている。25は負荷である。そして、コントロールIC24と外付けの発振コンデンサ1との接続点には同期端子26が接続され、この同期端子26には電源21、22の内部に位置して同期信号発生回路27と放電回路28とが設けられている。同期運転時には複数台のスイッチング電源21、22の同期端子26同士を接続することにより差周波数を生じることなく同期運転され、単独運転あるいは非同期で複数台運転する場合には同期端子26間を開放することにより、各電源内蔵の発振回路23によってそのまま運転することができる。

第2図は同期信号発生回路27および放電回路28を示す回路構成図であり、コントロールIC24と外付けの発振コンデンサ1との接続点には逆流防止用ダイオード29を介して同期

端子26が接続され、発振コンデンサ1と逆流防止用ダイオード29のアノードとの接続点に同期信号発生回路27の入力端子が接続されている。また、逆流防止用ダイオード29のカソード側にはスイッチ手段30と基準電圧Vの直列回路が接続され、スイッチ手段30は前記同期信号発生回路27の出力によって開閉動作するようになっており、逆流防止用ダイオード29とスイッチ手段30と基準電圧Vとで放電回路28を形成している。前記同期信号発生回路27は発振コンデンサ1端電圧を検出し、この検出電圧が規定しきい値電圧以下になったとき一定の短い時間スイッチ手段30を閉成するものである。

次に動作を第3図の波形図を参照して説明すると、コントロールIC24に内蔵された発振回路23の動作により発振コンデンサ1に充電されこの充電電圧が規定のピーク値電圧に達すると第7図のスイッチ手段3が閉成して放電が開始される。この発振波形の立ち下り

時において発振コンデンサ1の電圧が規定しきい値電圧以下になると同期信号発生回路27から同期信号が出力されてスイッチ手段30が閉成する。これにより発振コンデンサ1の充電電荷は逆流防止用ダイオード29、スイッチ手段30を通して急速に放電し、基準電圧Vとダイオード29の電圧降下 V_F とを加えた電圧まで低下する。この後一定の短時間T後スイッチ手段30が開成し発振コンデンサ1の充電が開始される。この場合、スイッチ手段30の開成により発振コンデンサ1の電圧が急激に下降すると発振回路23のスイッチ手段3が閉成して充電電流が供給されるがスイッチ手段30が一定時間Tの閉成閉成状態であるため充電電流はスイッチ手段30側に流れて時間Tの期間は充電されない。この場合、発振波形各部の電圧の関係は次のように設定されている。

ピーク値電圧 > 規定しきい値電圧 > 谷部電圧 > $V + V_F$

第4図は第1図に示すように複数台のスイ

ッチング電圧21、22の同期端子26同士を接続した場合の回路構成図であり、同図に示すように各電圧21、22の放電回路28同士が同期端子26を介して相互に接続されているため、一方のスイッチ手段30が閉成すると各電圧21、22の発振コンデンサ1の電荷がそれぞれの逆流防止用ダイオード29を介して閉成した一方のスイッチ手段30を通して同時に急速放電される。これにより、第5図(a)に示す電圧21の発振周期 T_A と第5図(b)に示す電圧22の発振周期 T_B との間に T_0 のずれがあったとしても、最初にスイッチ手段30が閉成した波形つまり第5図(a)に示す電圧21の発振波形 V_A においてスイッチ手段30閉成時の急速放電と同時に発振波形 V_B も強制的に急速放電し、これによって電圧22の発振波形 V_B は第5図(c)に示すように発振波形 V_A と同期した波形 V_B' になり、このようにして複数台の電圧21、22間の差周波数は解消される。

第6図は同期信号発生回路27の一例を示した回路構成図であり、これは発振コンデンサ1の電圧と設定電圧 $+V_{ref}$ とを比較するコンパレータ31を設け、このコンパレータ31の出力側に設けられた抵抗32とコンデンサ33からなるCR時定数回路と、コンデンサ33の充電電圧と設定電圧 $+V_{ref}$ とを比較する演算増幅器34とからなるタイマ回路35を設け、このタイマ回路35の出力側にスイッチ手段30たるトランジスタ36のベースが接続されている。タイマ回路35はスイッチ手段30のオン時間Tを設定しており、トランジスタ36のターンオン動作のバラツキによる発振波形の立ち上がり開始時点のバラツキの発生を防止している。この動作は発振コンデンサ1の電圧が設定電圧 $+V_{ref}$ と比較され規定しきい値電圧に達した時点でコンパレータ31の出力はハイレベルになり時定数に基づいてコンデンサ33に充電が開始されると同時に演算増幅器34から比較電圧が出力されてトランジスタ36をオン動

作する。トランジスタ36のオン動作によって発振コンデンサ1の電荷は急速に放電する。この後時間T後にコンデンサ33の充電電圧が所定値に達すると演算増幅器34の出力がローレベルになりトランジスタ36はオフし、発振コンデンサ1への充電が開始する。

このように本発明実施例においては、複数台の同種電源の同期端子同士を接続するだけで第5図の発振波形のように差周波数の発生を防止した同期運転を行うことが可能であり、また単独運転あるいは非同期で複数台運転する場合には同期端子間を開放することにより各電源内蔵の発振回路を用いて第3図の発振波形によりそのまま運転することができる。このため従来の共通発振方式における外部に共通発振器を必要としコスト高になること、またマスタースレーブ方式におけるマスター専用とスレーブ専用の2種の電線が必要とし不便である等の問題が解消される。

なお本発明は上記実施例に限定されるもの

ではなく本発明の要旨の範囲内において種々の変形実施が可能である。例えば第4図で示した発振回路あるいは第6図で示した同期信号発生回路は一例を示したにすぎず適宜選定すればよい。また、発振器の波形も対称三角波に限定されるものではなく、各種のものに適用可能である。

[発明の効果]

本発明は複数台の電源の同期端子同士を接続することにより、各電源の発振コンデンサの充電電圧を同時に急速放電させるものであるため、差周波数の発生を簡単かつ経済的に防止できるという効果を奏する。

4. 図面の簡単な説明

第1図乃至第6図は本発明の一実施例を示し、第1図は同期運転状態を示す概略説明図、第2図は回路構成図、第3図は発振波形図、第4図は同期運転状態を示す回路構成図、第5図は発振波形図、第6図は同期信号発生回

路を示す回路構成図、第7図は一般的な発振回路を示す回路構成図、第8図は一般的な発振波形図、第9図および第10図は従来例を示し、第9図は共通発振方式の概略説明図、第10図はマスタースレーブ方式の概略説明図である。

21、22…スイッチング電源

23…発振回路

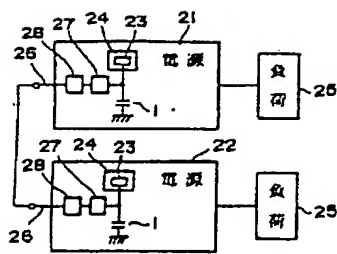
26…同期端子

27…同期信号発生回路

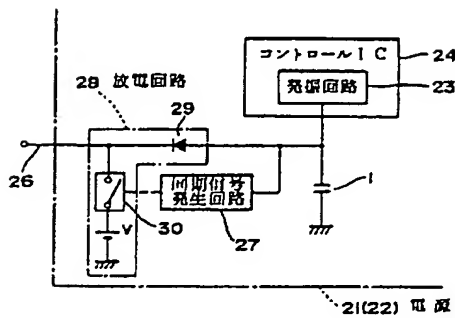
28…放電回路

特 許 出 願 人 ネミツク・ラムダ
株式会社

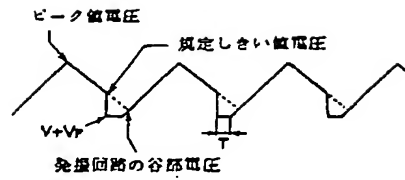
代 理 人 弁 理 士 午 木 設



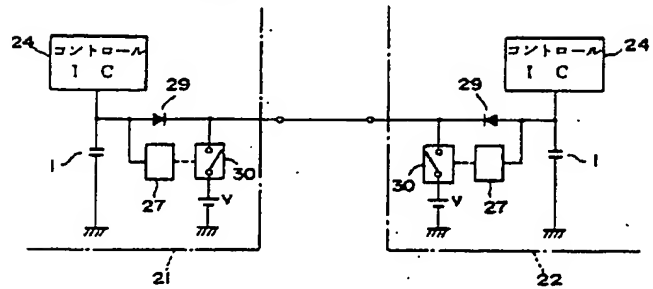
第1図



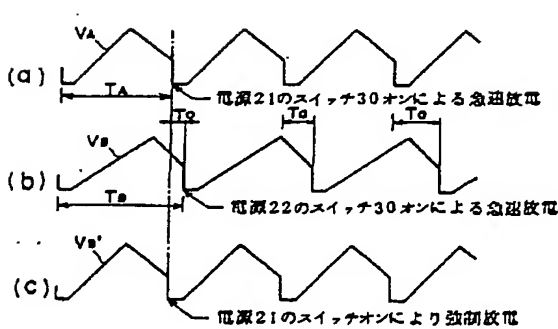
第2図



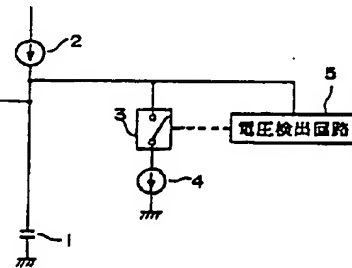
第3図



第4図



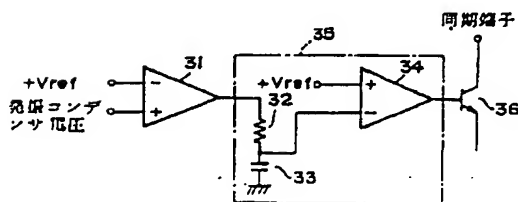
第5図



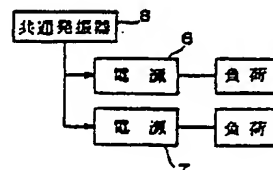
第6図



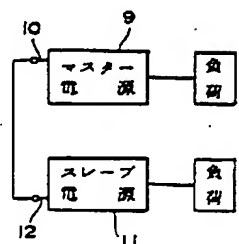
第7図



第8図



第9図



第10図

This Page Blank (uspto)